

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-358169

(43)Date of publication of application : 26.12.2001

(51)Int.Cl.

H01L 21/60  
H01L 21/66  
H01L 27/04  
H01L 21/822

(21)Application number : 2000-179299

(71)Applicant : NEC CORP

(22)Date of filing : 15.06.2000

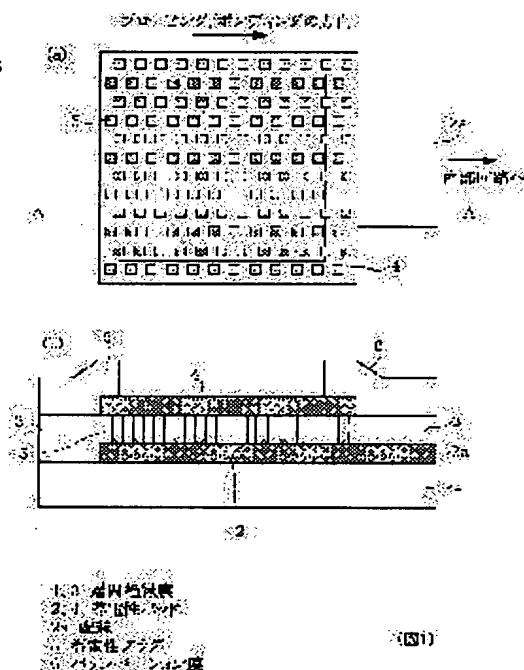
(72)Inventor : KOKUBU TETSUYA

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent upper layer pads from peeling off or a layer insulation film, which lies under the pads form cracks against stresses in probing or wire bonding for improving the reliability of a semiconductor device.

**SOLUTION:** A lower layer conductive pad 2 is formed in a layer insulation film 1, an upper layer conductive pad 4 is formed via a layer insulation film 3 on the pad 2, the upper and lower layer conductive pads are connected via a plurality of conductive plugs 5. The plugs 5 are disposed alternately with minimum or near minimum spacing, according to the design standards so as not to array in line, in a direction perpendicular to the pressure-applying direction in probing/wire bonding. Consequently, such a constitution disperses stresses in probing or wire bonding to avoid cracks, without sacrificing the adhesion of the pads.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-358169

(P2001-358169A)

(43) 公開日 平成13年12月26日(2001.12.26)

(51) Int.Cl. <sup>7</sup>	識別記号	FI	テーマコード(参考)
H01L 21/60	301	H01L 21/60	301P 4M106
21/66		21/66	E 5F038
27/04		27/04	H 5F044
21/822			

審査請求 未請求 請求項の数 8 O L (全 5 頁)

(21) 出願番号 特願2000-179299(P2000-179299)

(22) 出願日 平成12年6月15日(2000.6.15)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 国分 徹也

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100096253

弁理士 尾身 祐助

Fターム(参考) 4M106 AA01 AD03 AD24 BA01

5F038 BE07 BH20 CA10 E220

5F044 EE06 EE12

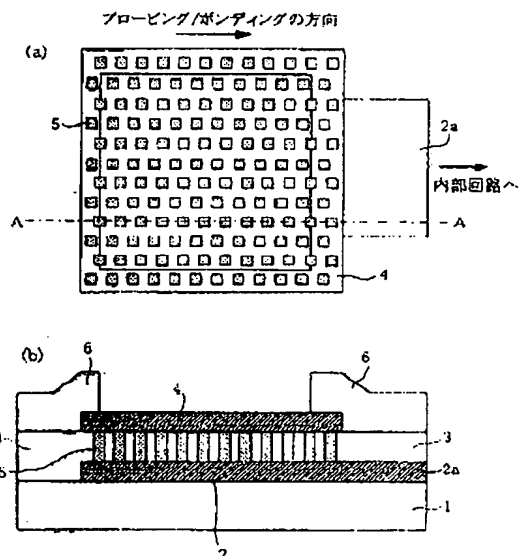
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ブローピングやワイヤボンディング時の応力に対して、上層パッドが剥がれたり、パッド下部の層間絶縁膜にクラックが発生したりすることのないようにして、半導体装置の信頼性を高める。

【解決手段】 層間絶縁膜1上に下層の導電性パッド2を形成し、さらに層間絶縁膜3を挟んで上層の導電性パッド4を形成し、上層と下層の導電性パッドは、複数の導電性プラグ5により接続される。この導電性プラグ5は設計基準の最小間隔、あるいはそれに近い間隔で互い違いに配置され、ブローピング/ワイヤボンディング時の圧力印加方向と垂直の方向には、導電性プラグ5が直線状に整列しないよう配置されている。

【効果】 このような構成により、パッドの接着性を犠牲にすることなくブローピングやワイヤボンディング時の応力を分散させクラック発生を防止できる。



1, 3 層間絶縁膜  
2, 4 導電性パッド  
2a 配線  
5 導電性プラグ  
6 バッパ/ボンディング線

(図1)

**【特許請求の範囲】**

【請求項1】 最上層の導電性パッドとその下層の導電性パッドとが、層間絶縁膜を介して積層され、両導電性パッド間が前記層間絶縁膜を貫通する複数の導電性プラグにて接続されている半導体装置において、前記導電性プラグが互い違いに配置されていることを特徴とする半導体装置。

【請求項2】 前記導電性プラグが、パッドに印加される圧力の印加方向と垂直の方向には直線状に整列しないよう配置されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 最上層の導電性パッドとその下層の導電性パッドとが、層間絶縁膜を介して積層され、両導電性パッド間が前記層間絶縁膜を貫通する複数の導電性プラグにて接続されている半導体装置において、前記導電性プラグが、前記最上層の導電性パッドに印加される圧力の印加方向と垂直方向に隣接する前記導電性プラグの列同士では導電性プラグ間の間隙を隣接列の導電性プラグが塞ぐように、配置されていることを特徴とする半導体装置。

【請求項4】 前記導電性プラグが設計基準の最小間隔あるいはそれに近い間隔で配置されていることを特徴とする請求項1～3の何れかに記載の半導体装置。

【請求項5】 前記導電性プラグの平面形状が、正方形、矩形、円形または楕円形の中のいずれかであることを特徴とする請求項1～4の何れかに記載の半導体装置。

【請求項6】 前記導電性プラグは、前記導電性パッドのほぼ全面にわたって一様に敷き詰められていることを特徴とする請求項1～5の何れかに記載の半導体装置。

【請求項7】 前記下層の導電性パッドの下層に1乃至複数層の導電性パッドが形成されており、それらの導電性パッド間が複数の導電性プラグにより接続されていることを特徴とする請求項1～6の何れかに記載の半導体装置。

【請求項8】 表面が、前記最上層の導電性パッド上に開口を有するパッシベーション膜により被覆されていることを特徴とする請求項1～7の何れかに記載の半導体装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、半導体装置に関する。特に、重なり合うように積層され相互に導電性プラグにて接続された導電性パッドを有する半導体装置に関するものである。

**【0002】**

【従来の技術】 多層配線を用いる半導体装置では、開口したビアホール内に高融点金属などの導体を埋め込んで形成する導電性プラグが用いられる。このような導電性プラグを用いた半導体装置では、上下2層以上の導電性

パッドが、複数の導電性プラグで接続されているような多層構造のパッドが用いられる。通常、この導電性プラグは、設計基準の最小間隔、あるいはそれに近い間隔で正方格子状に並べられ、プラグの数が最大になるように配置される。このようにプラグの数を最大とすることで、上下2層の導電性パッド間の接着強度が高まり、上層の導電性パッドがワイヤボンディング時に剥れるのを防ぐことができる。

【0003】 図3(a)は従来のパッド構造を示す平面図、図3(b)は図3(a)のA-A線に沿った断面図である。これは、上下2層の導電性パッドを導電性プラグで接続したものである。ここで、平面図の図3(a)では、導電性プラグ5は、導電性パッド4により実際には見えないが、説明の都合上見えるように描かれている。層間絶縁膜1の上には下層の導電性パッド2が形成され、さらに層間絶縁膜3を挟んで上層の導電性パッド4が形成されている。下層の導電性パッド2からは内部回路に接続される配線2aが引き出されている。下層の導電性パッド2と上層の導電性パッド4は、複数の導電性プラグ5によって接続されている。ここで、導電性プラグ5は設計基準の最小間隔あるいはそれに近い間隔で正方格子状に導電性パッドの全面にわたって配置されている。

【0004】 導電性パッド2、4はアルミニウムや銅などを主成分とする合金により形成される。また、導電性プラグ5は、タングステンなどの高融点金属あるいは導電性パッド2、4と同じアルミニウム、銅などを主成分とする合金により形成される。層間絶縁膜1、3は、プラズマCVD法によるシリコン酸化膜などから形成される。全体はパッシベーション膜6で覆われており、パッドの上方のみが開口されている。なお、層間絶縁膜1より下方の構造の図示は省略されている。なお、導電性パッドを多層に配置してその間を導電性プラグにて接続する技術は、例えば特開2000-114309号公報などにより公知になっている。

【0005】 ウェハ状態での製造工程が完了した後、テストのためにパッドはプローブにより探針される。また、個々のチップに分離されアイランド上にダイボンディングされた後、パッド上にはワイヤがボンディングされる。プロービングはパッドに対し斜め上方から行われ、またワイヤボンディング時にはツールに超音波振動が印加される。而して、図3のパッド構造では、プロービングあるいはワイヤボンディング時のストレスのために、パッド下方にクラックが発生しやすい。図4は、図3のパッドにプロービングあるいはワイヤボンディングを行った結果、導電性パッド4のストレス印加部分の下方にクラック9が生じた様子を描いたものである。なお、図4において、プロービング時およびワイヤボンディング時の圧力の印加方向を矢印にて示す。この問題を解決するために、図5や図6に示すようなパッド構造が提案さ

れている。図5、図6は、いずれもクラックの発生を防ぐために考案された従来のパッド構造である。図3の構造と異なる点は、上層の導電性パッド4のストレス印加部分の下には下層導電性パッドおよび導電性プラグは存在せず、引き出し配線7a付近、あるいは上層導電性パッドの周辺部のみ下層導電性パッド7および導電性プラグ8が配置されていることである。

#### 【0006】

【発明が解決しようとする課題】図3のパッド構造は、ワイヤボンディング工程における上層パッドの剥れに対する耐性は高い反面、ブローピングやワイヤボンディング時、パッド下部の層間絶縁膜にクラックが発生しやすい。これに対し、図5や図6のパッド構造では、ブローピングやワイヤボンディング時のクラックを防ぐことができる代わりに、上下2層の導電性パッドを接続する接着強度が小さいため、ワイヤボンディング工程において上層導電性パッドが剥れてしまう可能性がある。なお、導電性パッド一層のみからなるパッド構造では、導電性パッドの剥れに対する強度は十分ではない。

【0007】本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、ワイヤボンディング工程における上層パッドの剥れに対する高い耐性を維持するとともに、ブローピング時やワイヤボンディング時にパッド下部の層間絶縁膜にクラックが発生しにくくすることである。

#### 【0008】

【課題を解決するための手段】上記の目的を達成するため、本発明によれば、最上層の導電性パッドとその下層の導電性パッドとが、層間絶縁膜を介して積層され、両導電性パッド間が前記層間絶縁膜を貫通する複数の導電性プラグにて接続されている半導体装置であって、前記導電性プラグが、パッドに印加される圧力の印加方向と垂直の方向には直線状に整列しないよう配置されていることを特徴とする半導体装置、が提供される。

#### 【0009】

【発明の実施の形態】次に、図面を参照して本発明の実施の形態について実施例に即して詳細に説明する。図1(a)は本発明の第1の実施例のパッド構造を示す平面図、図1(b)は図1(a)のA-A線に沿った断面図である。図1において図3に示した従来例の部分と同等の部分には同じ参照番号が付けられているので重複する説明は省略する。本実施例の図3に示した従来例と相違する点は、導電性プラグ5が通常の正方格子状のアレイではなく、互い違いに配置されている点である。すなわち、本実施例においては、ブローピング/ワイヤボンディング時の圧力印加方向と垂直の方向には、導電性プラグ5が直線状に整列しないよう配置されている。

【0010】次に、本発明のパッドの製造方法について説明する。図示の省略された半導体基板上に層間絶縁膜1を形成した後、スパッタリング法などによって下層導

電性パッドとなる金属膜（アルミニウム合金または銅合金など）を厚さ0.5～1.0μmに全面に堆積する。次に、堆積した金属膜をフォトリソグラフィおよびエッチングにより加工し、導電性パッド2およびこれに連なる配線2aを形成する。次に、プラズマCVD法などにより全面に層間絶縁膜3（シリコン酸化膜）を膜厚1.3μm程度に堆積し、CMPにより表面を平坦化してパッド上での膜厚を1μm程度にする。その後、フォトリソグラフィおよびエッチングにより導電性プラグ形成のためのビアホールを形成する。

【0011】このビアホール内に、CVD法などによって高融点金属（タングステン）などを埋め込み、導電性プラグ5（0.5×0.5μm<sup>2</sup>程度）を形成する。次に、スパッタリング法などによって、上層導電性パッドとなる金属膜（アルミニウム合金や銅合金など）を全面に膜厚0.5～1μm程度に堆積し、フォトリソグラフィおよびエッチングにより加工して、導電性パッド4（100×100μm<sup>2</sup>程度）を形成する。次に、CVD法などによって、シリコン酸化膜、シリコン窒化膜やポリイミドなどからなる、パッシベーション膜6を全面に形成し、フォトリソグラフィおよびエッチングにより、導電性パッド4の上部分のみを開口する。

【0012】上述の従来例で説明したように、ウェハテストのブローピングや組立工程におけるワイヤボンディング等で、上層の導電性パッドに横方向に圧力が加わると、間に挟まれている層間絶縁膜3に機械的ストレスが加わり、クラックが発生する。このクラックは、ブローピング/ワイヤボンディング時の圧力印加方向と垂直方向に走るように発生する。場合によっては、クラックが導電性パッド2の下方の層間絶縁膜1まで達することがある。

【0013】本発明のパッド構造では、圧力印加方向と垂直の方向に導電性プラグ5が整列していないために、直線的に走るクラックは発生しにくくなる。また、パッド全面に導電性プラグを敷き詰めて上下の導電性パッドを接続しているため、ワイヤボンディング時の導電性パッドの剥れに対しても十分な強度を有する。なお、本実施例では導電性プラグ5が正方形の場合について説明しているが、円形でもかまわない。

【0014】図2(a)は本発明の第2の実施例のパッド構造を示す平面図、図2(b)は図2(a)のA-A線に沿った断面図である。図2において図1に示した第1の実施例の部分と同等の部分には同じ参照番号が付けられているので重複する説明は省略する。本実施例の図1に示した実施例と相違する点は、導電性プラグが正方形（または円形）ではなく矩形（または楕円形）になっている点である。そして、導電性プラグ間の圧力印加方向の間隙は、隣接する列の導電性プラグ間に完全に挟まれる。このような構造を有することにより、ブローピング/ワイヤボンディング時の圧力印加方向と垂直に走る

ようなクラックの発生がさらに抑制される。以上、好ましい実施例について説明したが、本発明は、これら実施例に限定されるものではなく、本発明の要旨を逸脱することのない範囲内において適宜の変更が可能なものである。例えば、導電性パッドの形状を矩形と正方形の組み合わせで構成してもよいし、また他の組み合わせでも可能である。さらに本発明では、導電性パッドが2層構造の場合について説明したが、3層構造でも適用が可能である。

#### 【0015】

【発明の効果】以上説明したように、本発明による半導体装置のパッド構造は、導電性パッド間を接続する導電性プラグが直線上に整列することのないように配置したものである。ワイヤボンディング時の導電性パッドの剥れに対する耐性を維持しつつ、プロービング/ワイヤボンディング時に導電性パッド下の層間絶縁膜にクラックが発生することがないようにすることができる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施例を示す平面図と断面図。

【図2】 本発明の第2の実施例を示す平面図と断面図。

【図3】 第1の従来例の平面図と断面図。

【図4】 第1の従来例におけるクラック発生状況を示す平面図と断面図。

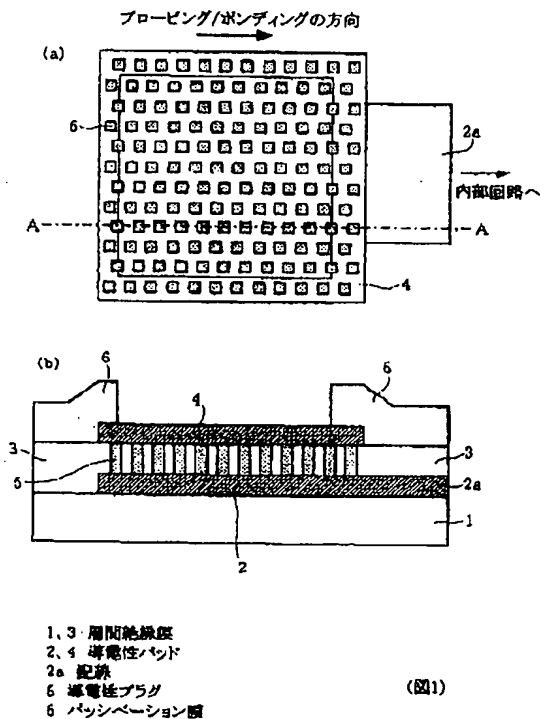
【図5】 第2の従来例の平面図と断面図。

【図6】 第3の従来例の平面図と断面図。

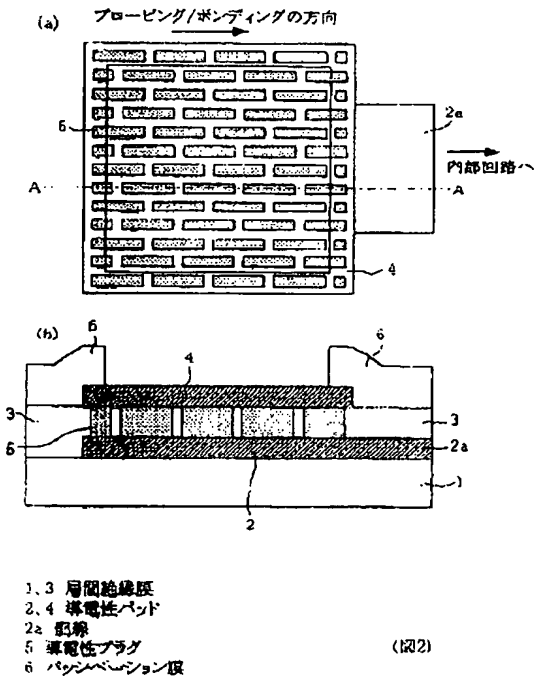
#### 【符号の説明】

- 1、3 層間絶縁膜
- 2、4 導電性パッド
- 2a 配線
- 5、8 導電性プラグ
- 6 パッシベーション膜
- 7 下層導電性パッド
- 7a 引き出し配線
- 9 クラック

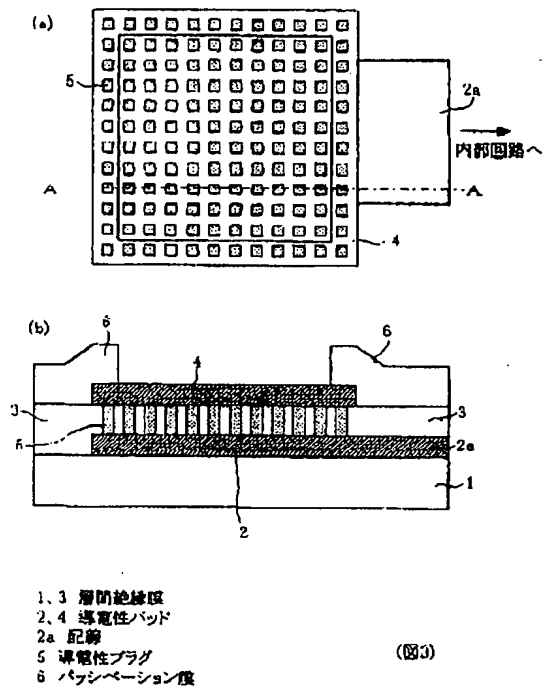
【図1】



【図2】

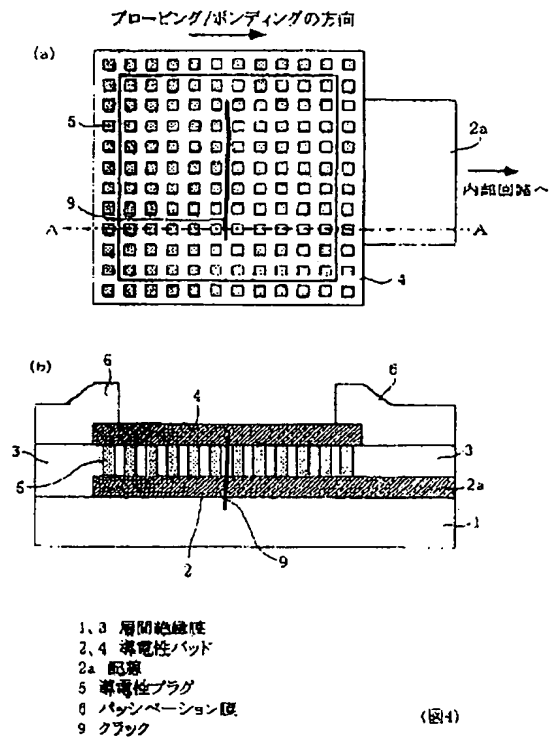


【図3】



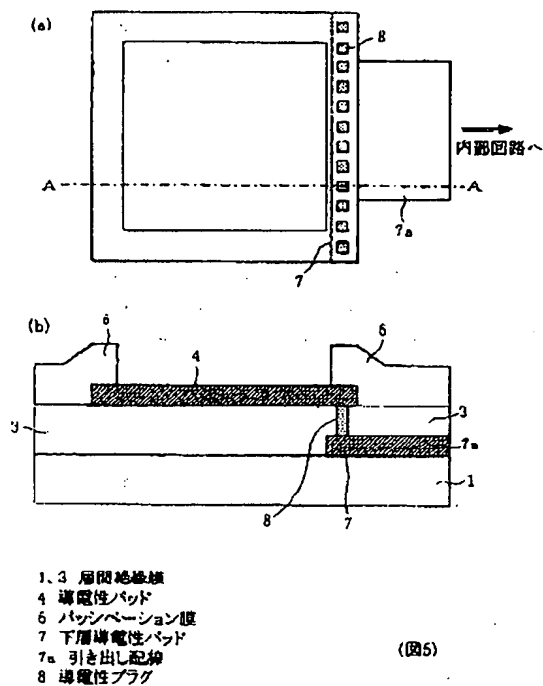
(図3)

【図4】



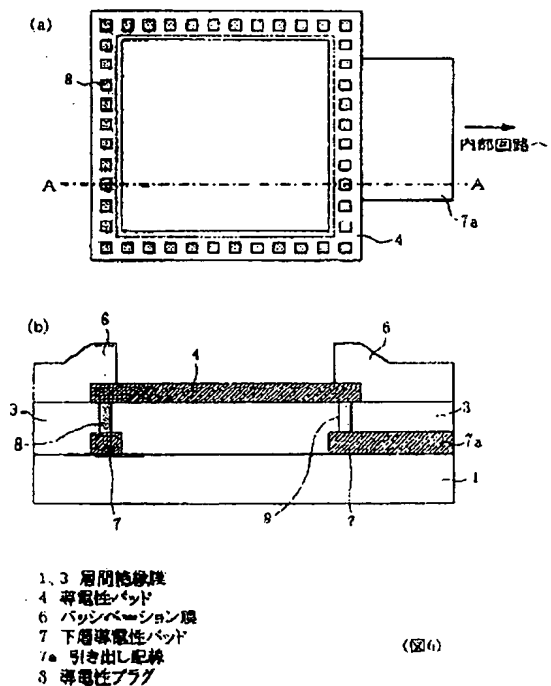
(図4)

【図5】



(図5)

【図6】



(図6)